

CA-IF428X 兼容家庭总线系统(HBS)的收发器

1. 产品特性

- 高度集成化以减少物料和封装
- 紧凑的 4mm*4mm QFN 封装
- 可配置的灵活性设计
- 接收器电压阈值可调(CA-IF4289 支持芯片内、外阈值设置)
- 较大的接收滞回电压(典型值: 0.5V)
- 传输信号摆率可调
- 支持传输速率从 9.6kbps 到 200kbps
- 动态可开关的电缆终端阻抗以增强高速传输时的信号完整性
- 支持极性判断的总线有电检测, 内部接收器电压及输入低电平超时保护 (CA-IF4289)
- 内部集成保护以支持可靠通信
- 连同外部元器件 IEC 61000-4-2 +/-8kV 接触放电和 +/-15kV 空气放电保护
- 连同外部元器件可抗 IEC 61000-4-5 +/-1kV 抗浪涌
- 工作温度范围:-40°C 至+105°C

2. 应用

- 供热通风及空调系统 (HVAC)
- 电源线传输数据 (POD)
- 楼宇控制
- 工业 PLC

3. 概述

CA-IF428x 家庭总线收发器兼容家庭总线标准, 其数据和电源共用一对双绞线以减少对外部器件的需求。

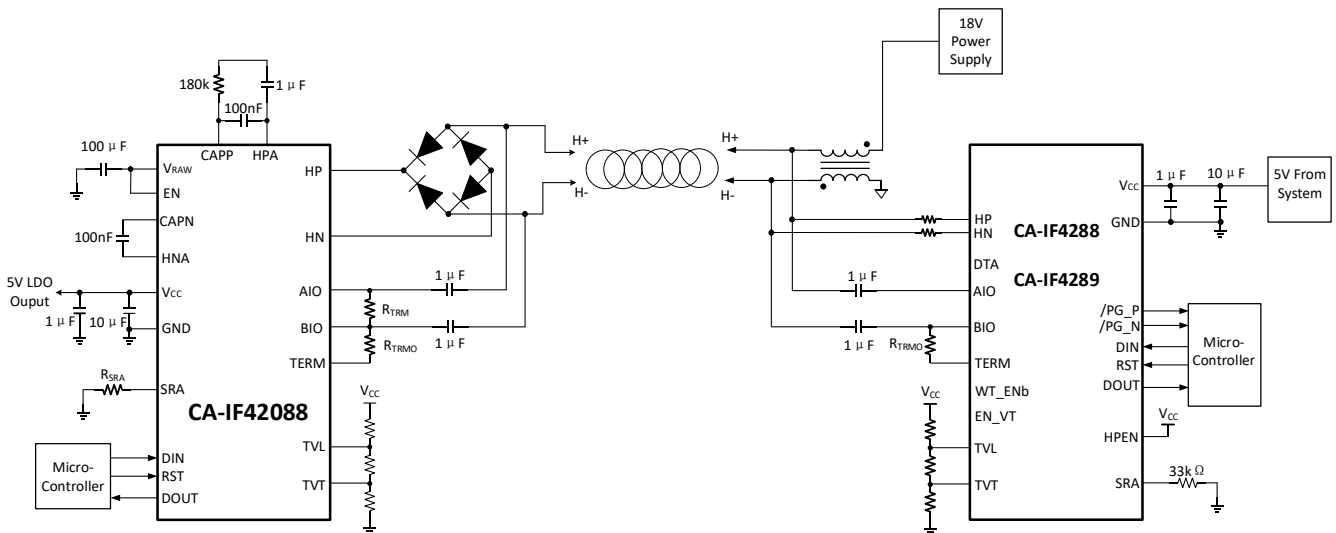
CA-IF428x 支持 200kbps 的信号传输速率, 内部含有动态电缆匹配电阻以改善高速传输时的信号完整性。

其他的特性包含可调的接收端电压阈值及滞回, 发射端摆率可调等, 使得 CA-IF428x 收发器适用于广泛的系统。CA-IF4289 额外提供带极性判断的总线有电检测功能, 从而解决在多个供电节点 (Multiple Indoor Units) 中的竞争上电机制。

内部集成的 ESD 保护确保 CA-IF428x 在恶劣工业应用环境中能够可靠的通信。工作温度范围支持-40°C 到 105°C, 具有紧凑的 24-pin 4mm*4mm 的 QFN 封装。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IF4288	QFN24	4mm*4mm
CA-IF4289	QFN24	4mm*4mm



4. 订购指南

表 4-1 有效订购零件编号

型号	封装
CA-IF4288	QFN-24pin 4mm*4mm
CA-IF4289	QFN-24pin 4mm*4mm

目录

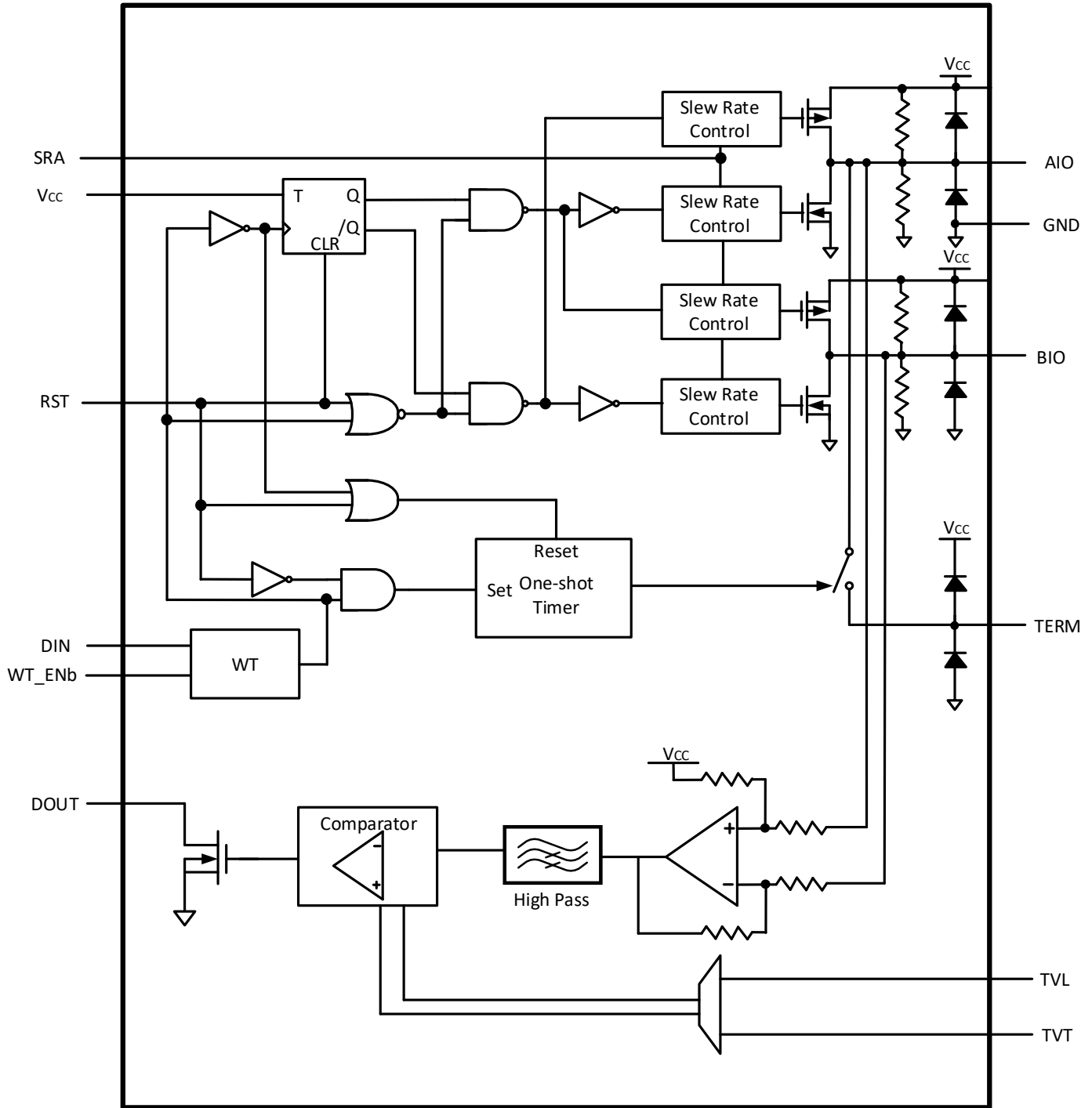
1. 产品特性.....	1	8. 参数测量信息.....	11
2. 应用.....	1	9. 典型波形图.....	12
3. 概述.....	1	10. 详细说明.....	13
4. 订购指南.....	2	10.1. 电源电压.....	13
修订历史.....	3	10.2. 发射端的工作原理.....	13
5. 芯片内部结构图.....	4	10.3. 动态电缆终端电阻匹配.....	13
5.1. CA-IF4288 简化芯片结构图.....	4	10.4. 发射摆率调节.....	14
5.2. CA-IF4289 简化芯片结构图.....	5	10.5. 接收端阈值调节.....	14
6. 引脚功能描述.....	6	10.6. RST 功能.....	14
7. 产品规格.....	7	10.7. 高通滤波器.....	14
7.1. 绝对最大额定值.....	7	10.8. 总线有电/极性检测.....	14
7.2. ESD 额定值.....	8	10.9. 输入超时保护.....	14
7.3. 建议工作条件.....	8	11. 应用信息.....	15
7.4. 热量信息.....	8	11.1. 浪涌保护.....	15
7.5. 电气特性.....	9	11.2. AIO, BIO, TERM, HP, HN 端口的浪涌保护.....	15
以建议工作条件为准, 除非另有说明.....	9	11.3. PCB 布线考虑.....	15
7.5.1. 直流特性(Vcc).....	9	12. 封装信息.....	17
7.5.2. 直流特性/发射端(AIO,BIO,TERM).....	9	QFN 的外形尺寸.....	17
7.5.3. 直流特性/接收端(TVL,TVT).....	9	13. 焊接信息.....	18
7.5.4. 直流特性/数字 I/O.....	9	14. 编带信息.....	19
7.5.5. 交流特性/发射端.....	10	15. 重要声明.....	20
7.5.6. 交流特性/接收端.....	10		
7.5.7. 总线极性检测.....	10		

修订历史

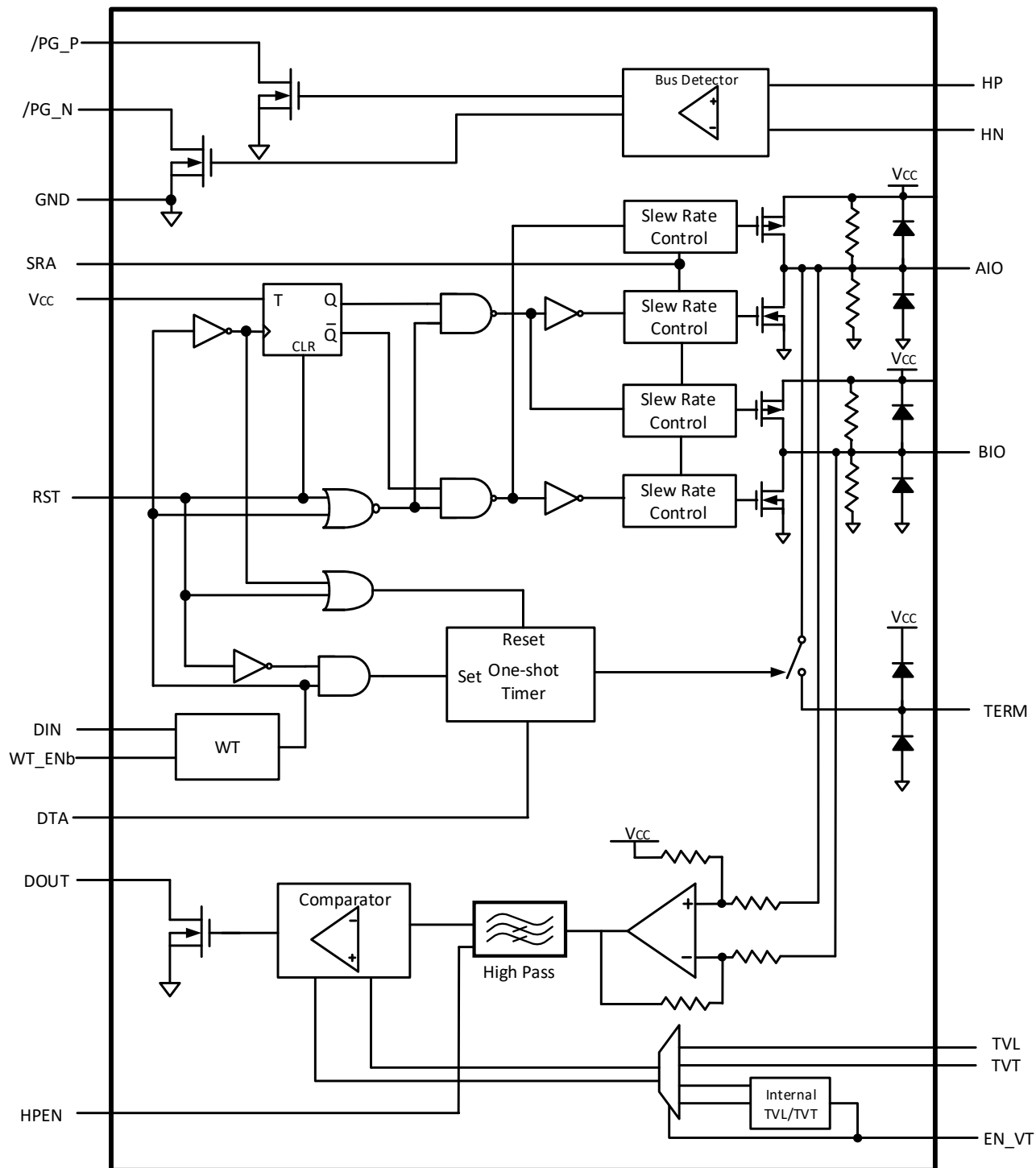
修订版本号	修订内容	修订页码	修订日期
Version 1.00	N/A	N/A	2022/01/19
Version 1.01	CA-IF4288 的第 20 引脚从 HPEN 更改为 NC	4, 6, 7, 14, 16	2022/04/19
Version 1.02	1.加入焊接信息和编带信息 2.更新 HBM 从±4Kv 更改为±6kV 3.更新封装名称从 TQFN 为 QFN	18, 19 8 1, 2, 17, 18, 19	2022/04/20
Version 1.03	更新 V _{LEAD} 和 V _{TRAIL} 的测试条件	9	2024/03/27

5. 芯片内部结构图

5.1. CA-IF4288 简化芯片结构图



5.2. CA-IF4289 简化芯片结构图



6. 引脚功能描述

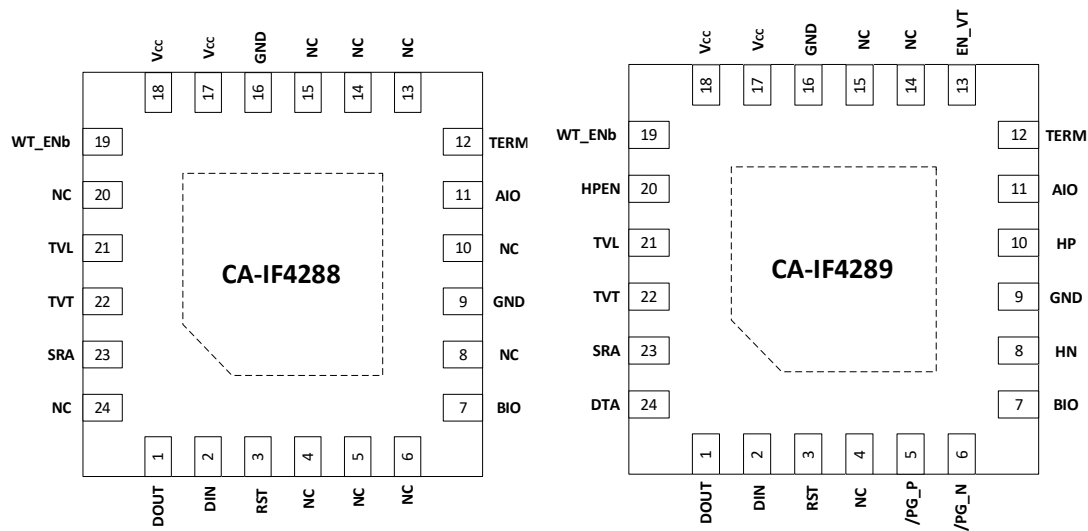


图 6-1 CA-IF4288 / 4289 引脚图

表 6-1 CA-IF4288/ 4289 引脚功能描述

引脚名称	引脚编号		类型	描述
	CA-IF4288	CA-IF4289		
DOUT	1	1	输出	开漏数据输出，接一个上拉电阻到逻辑电源
DIN	2	2	输入	数据输入
RST	3	3	输入	总线复位控制输入
NC	4	4	-	没有连接
NC	5	-	-	没有连接
/PG_P	-	5	输出	开漏输出，低电平有效指示总线有电且极性为正（VHP-VHN>3V）
NC	6	-	-	没有连接
/PG_N	-	6	输出	开漏输出，低电平有效指示总线有电且极性为负（VHN-VHP>3V）
BIO	7	7	输入输出	家庭总线数据的输入及输出。在 57.6kbps 应用中，通过 1uF 电容串联 4.7Ω 电阻接入家庭总线。
NC	8	-	-	没有连接
HN	-	8	输入	家庭总线接口，与总线之间串入 200Ω 电阻以防止浪涌
GND	9	9	地	参考地
NC	10	-	-	没有连接
HP	-	10	输入	家庭总线接口，与总线之间串入 200Ω 电阻以防止浪涌
AIO	11	11	输入输出	家庭总线数据的输入及输出。在 57.6kbps 应用中，通过 1uF 电容串联 4.7Ω 电阻接入家庭总线。
TERM	12	12	输出	可开关的总线终端。在 TERM 和 BIO 之间接入一个电阻以调节电缆的终端阻抗匹配。
NC	13	-	-	没有连接
EN_VT	-	13	输入	内部接收门限使能，高电平有效。内部 1MΩ 电阻下拉，悬空默认不使能

NC	14	14	-	没有连接
NC	15	15	-	没有连接
GND	16	16	地	参考地
V _{cc}	17	17	电源	芯片电源输入端口
V _{cc}	18	18	电源	芯片电源输入端口
WT_ENb	19	19	输入	Din 低电平超时保护使能，低电平有效。内部 180 kΩ 电阻下拉，悬空默认使能
NC	20	-	-	没有连接, CA-IF4288 默认使能内部高通滤波
HPEN	-	20	输入	高通滤波器使能端口。将该端口连接到 V _{cc} 来使能接收器的高通滤波，将该端口连接到 GND 来关闭内部的高通滤波。不要将该端口悬空。
TVL	21	21	输入	前沿数据阈值
TVT	22	22	输入	后沿数据阈值
SRA	23	23	输入	摆率调节输入。将 SRA 通过一个电阻连接到 GND 来调节 AIO 和 BIO 的发射边沿斜率。
NC	24	-	-	
DTA	-	24	输入	总线动态电阻使能时间调节，外接 10k 至 500kΩ 电阻到地。悬空时，动态电阻使能时间=34μs
EP	-	-	-	裸露焊盘，连接到 GND。

7. 产品规格

7.1. 绝对最大额定值

参数	最小值	最大值	单位
V _{cc} 到 GND	-0.3	6.0	V
AIO,BIO,TERM,SRA 到 GND	-0.3	V _{cc} +0.3	V
HP,HN 到 GND	-0.3	+28	V
HP 到 HN 差分	-28	+28	V
V _{cc} ,AIO,BIO,TERM 端口连续电流	-100	+100	mA
其他管脚连续电流	-50	+50	mA
正常工作温度范围	-40	+105	°C
结温		+150	°C
存储温度范围	-40	+150	°C
焊接温度		+260	°C
备注:			
1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。			

7.2. ESD 额定值

		数值	单位
ESD-HBM	人体模型, 根据 ANSI/ESDA/JEDEC JS-001,所有引脚 ¹	±6k	V
	人体模型, 根据 ANSI/ESDA/JEDEC JS-001, AIO,BIO to GND	±30k	V
CDM ESD	带点器件放电模型, 根据 ANSI/ESDA/JEDEC JS-002,所有引脚	±2k	V
AIO,BIO,TERM 到 GND	IEC 61000-4-2 空气放电	±15k	V
	IEC 61000-4-2 接触放电	±8k	V
备注:			
1. JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造。			

7.3. 建议工作条件

参数		最小值	典型值	最大值	单位
V _{CC}		4.5	5	5.5	V
V _{TVT}			1.5		V
V _{TVL}			2.5		V
R _{SR} A			33k		Ω
T _A	环境温度	-40	25	105	°C
T _J	结温			150	°C

7.4. 热量信息

热量表		QFN	单位
R _{θJA}	IC 结至环境的热阻	52	°C/W

7.5. 电气特性

以建议工作条件为准，除非另有说明

7.5.1. 直流特性(Vcc)

参数	测试条件	最小值	典型值	最大值	单位
V _{CC} V _{CC} 电源电压		4.5	5.0	5.5	V
I _{CC} 电源电流	V _{CC} =5.0V,无负载, 57.6kbps,CL=0pF		1.7	2.5	mA
V _{UV} UVLO 电压	V _{CC} 电压上升	4.0	4.2	4.4	V
V _{UV_hys} UVLO 电压滞回			100		mV

7.5.2. 直流特性/发射端(AIO,BIO,TERM)

参数	测试条件	最小值	典型值	最大值	单位
V _{TOH} 输出高电平	AIO,BIO 到 GND, I _{load} =45mA 到 GND	V _{CC} -0.6			V
V _{TOL} 输出低电平	AIO,BIO 到 GND, I _{load} =45mA 到 V _{CC}	0.6			V
R _{TERM} 终端开关导通电阻	TERM 到 AIO	2.5	5	10	Ω
R _{IN} AIO,BIO 发射输入电阻	AIO,BIO 悬空时的输入电阻, DIN=V _{CC}	7	10	13	kΩ
V _{AIO} /V _{BIO} 偏置电压匹配比例	AIO,BIO 悬空	-1		+1	%

7.5.3. 直流特性/接收端(TVL,TVT)

参数	测试条件	最小值	典型值	最大值	单位
V _{LEAD} 接收端前沿阈值	V _{TVL} = 1.0V, HPEN = V _{CC} , EN_VT=low	0.85	1	1.15	V
V _{TRAIL} 接收端后沿阈值	V _{TVT} = 0.5V, HPEN =V _{CC} , EN_VT=low	0.35	0.5	0.65	V
V _{TVL} 内部高电平阈值	EN_VT=high	1.8	2.0	2.2	V
V _{TVT} 内部低电平阈值	EN_VT=high	1.3	1.5	1.7	V
I _{THLEAK} TVL,TVT 输入漏电流	V _{TVL} = V _{TVT} = 2.5V	-1		+1	μA

7.5.4. 直流特性/数字 I/O

(DIN, DOUT, RST, /PG_P, /PG_N, EN_VT, WT_ENb, HPEN)

参数	测试条件	最小值	典型值	最大值	单位
V _{IH} 输入逻辑高电平		1.4			V
V _{IL} 输入逻辑低电平				0.4	V
I _{LEAK} 输入端漏电流		-1		+1	μA
V _{OL} 开漏逻辑低电平	I _{SINK} =2mA			0.3	V
V _{ODL} 开漏逻辑漏电流	V _{out} =5V,输出不拉低			1	μA

7.5.5. 交流特性/发射端

参数	测试条件	最小值	典型值	最大值	单位
t_{RLD} 输出前沿上升时间	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 如图 8- 1		1.4		μs
t_{FLD} 输出前沿下降时间	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 如图 8- 1		1.4		μs
t_{RTR} 输出后沿上升时间	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 如图 8- 1		1.4		μs
t_{FTR} 输出后沿下降时间	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 如图 8- 1		1.4		μs
t_{TPROP} 传输延迟	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 如图 8- 1		1.2		μs
t_{SYM} 传输输出对称性	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 如图 8- 1	-0.4	0	+0.4	μs
t_{TERM} 终端开关延迟	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 图 8- 2	0.5	0.5		μs
t_{TRMON} 终端导通时间	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, 图 8- 2	19	34	63	μs
t_{TRMON_min} 最小终端导通时间	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, DTA connect 10k Ω resistor, 图 8- 2	8	10	12	μs
t_{TRMON_max} 最大终端导通时间	$R_{SRA}=62k\Omega$, $R_{LOAD}=200\Omega$, DTA connect 500k Ω resistor, 图 8- 2	400	500	600	μs

7.5.6. 交流特性/接收端

参数	测试条件	最小值	典型值	最大值	单位
t_{RPROP} 接收端延迟时间	HPEN= V_{CC} , 如图 8- 3			1	μs
t_{HP} 接收端高通滤波器时间常数	HPEN = V_{CC}		500		μs

7.5.7. 总线极性检测

参数	测试条件	最小值	典型值	最大值	单位
V_{high}^1 总线高电平检测电压	HP-HN 电压上升直到/PG_P 变低时的值	2.5	3.0	3.5	V
V_{low}^1 总线低电平检测电压	HN-HP 电压 上升直到/PG_N 变低时的值	2.5	3.0	3.5	V

1.CA-IF4289 有总线极性检测, CA-IF4288 无总线极性检测。

8. 参数测量信息

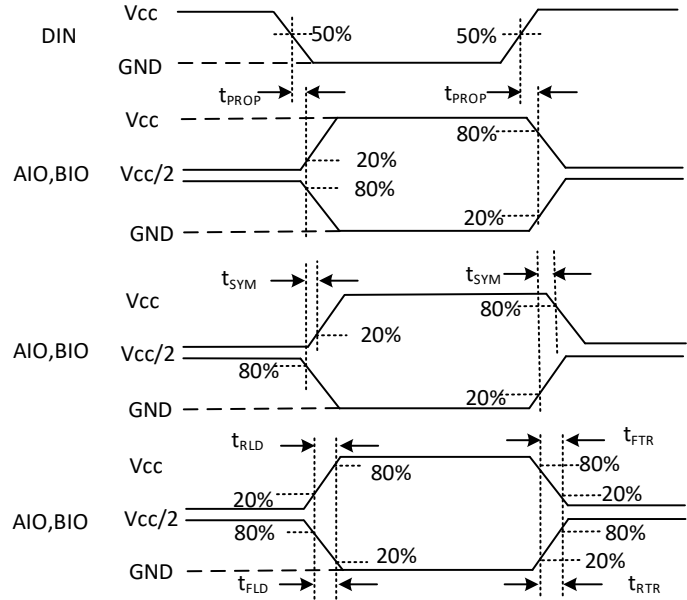
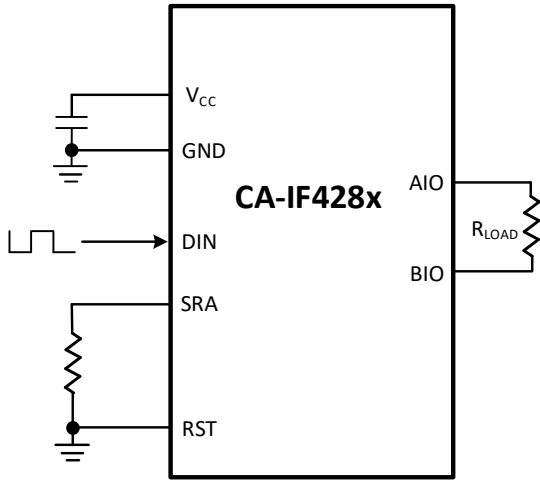


图 8-1 发射通道时序示意图

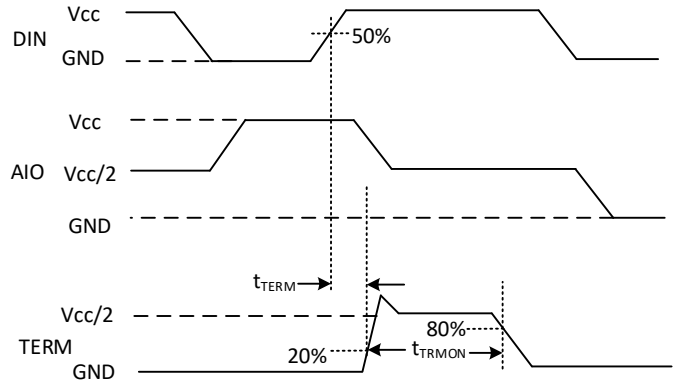
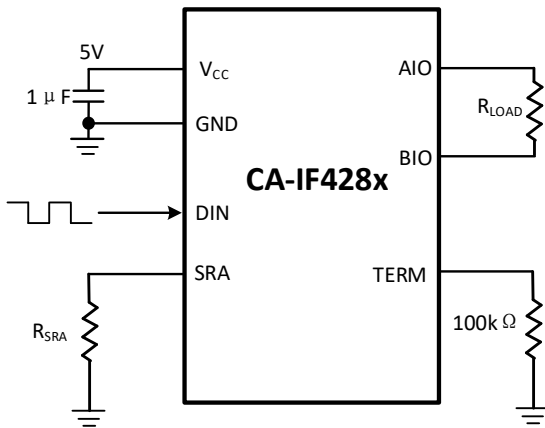


图 8-2 接收端阻抗匹配开关延迟及导通时间

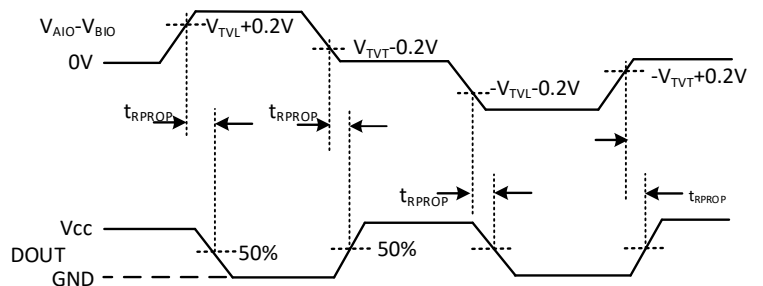
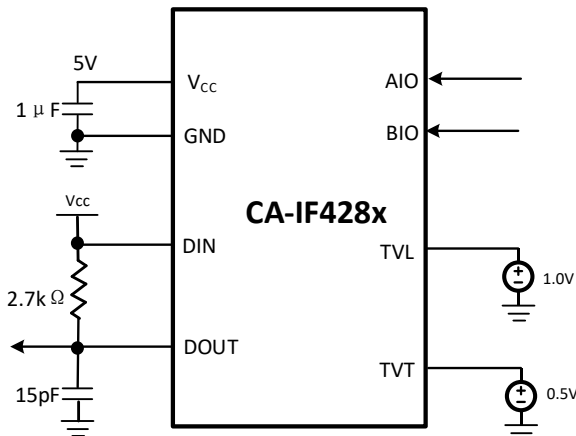
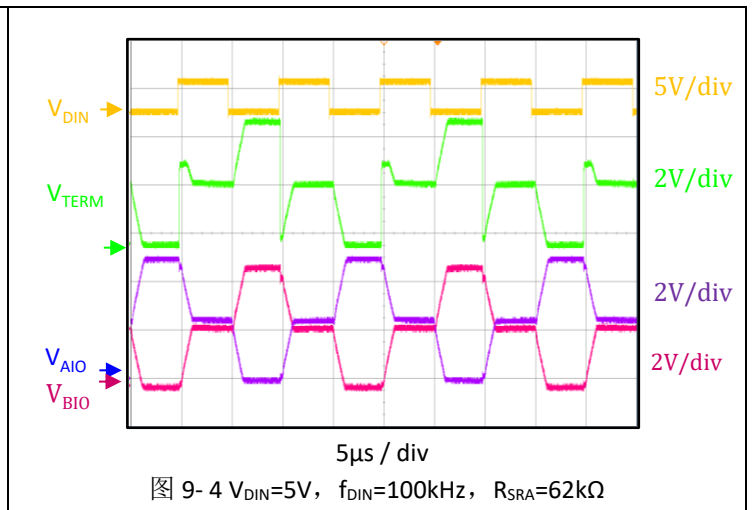
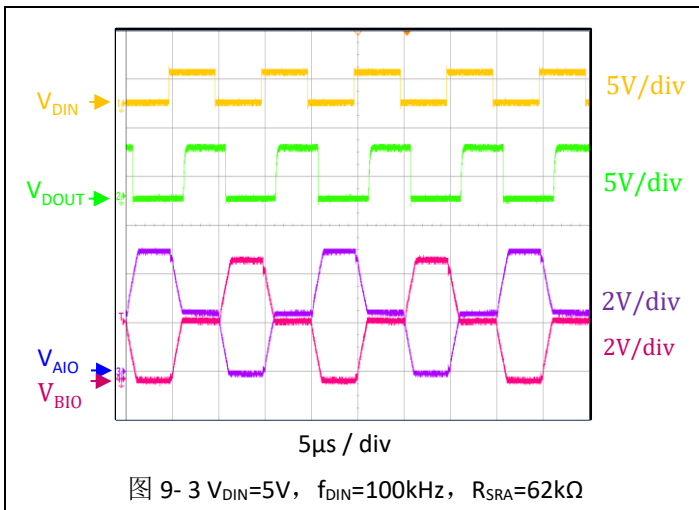
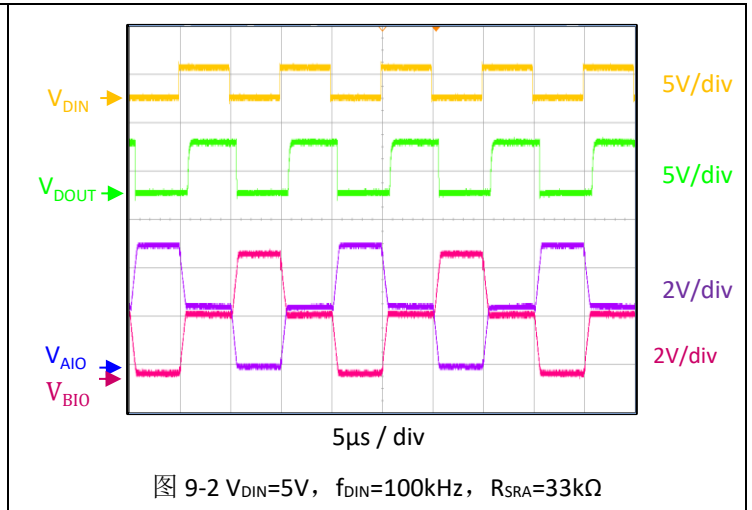
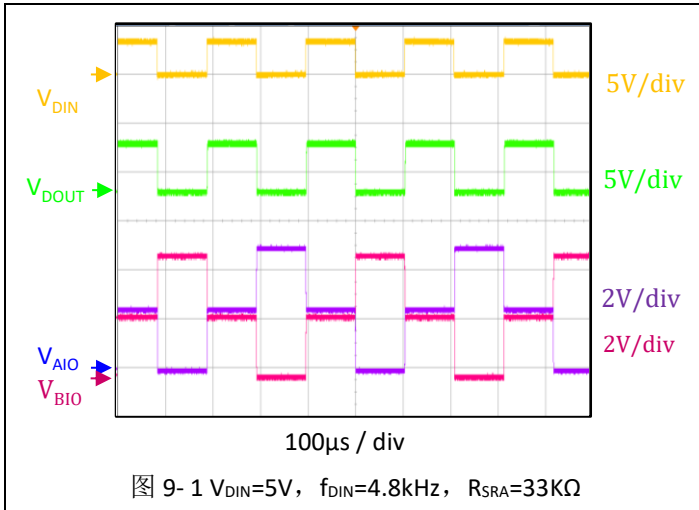


图 8-3 接收端延迟示意图

9. 典型波形图



10. 详细说明

CA-IF428x 是一款符合家庭总线标准的全集成收发机，其电源和数据共用一对双绞线。CA-IF428x 支持最高 200kbps 的数据传输，包含动态电缆匹配电阻，可调的接收端阈值及滞回，可调的发射端摆率等特性以改善复杂应用时的信号完整性等。

10.1. 电源电压

在家庭总线标准中，电源线和数据线共用一对双绞线。

在供电的应用中，CA-IF428x 由系统电源在 V_{CC} 端供电。此外，应用系统需要一个外部的交流隔离电感以使数据能够加载到家庭总线电缆上。

10.2. 发射端的工作原理

CA-IF428x 的逻辑接口有三个：RST，DIN，DOUT。AIO，BIO，TERM 接到家庭总线上。RST 是总线复位控制输入，将 RST 拉低来使能发射到 AIO 和 BIO，将 RST 置高来关闭发射端。CA-IF428x 的总线接收器是常开的。

DIN 是 CA-IF428x 的逻辑输入端口，DOUT 是逻辑输出端口。当 DIN 从高变低，AIO 为高电平、BIO 为低电平，则 $V_{AIO}-V_{BIO}>0V$ ；当 DIN 从低变高，AIO 和 BIO 为高阻态；当 DIN 再次从高变低，AIO 和 BIO 的极性反转过，AIO 为高电平、BIO 为低电平，则 $V_{AIO}-V_{BIO}<0V$ ，如图 10-1。

当 $V_{AIO}-V_{BIO}$ 的前沿越过 V_{TVL} 或者 $-V_{TVL}$ 时，DOUT 置高；当 $V_{AIO}-V_{BIO}$ 的后沿越过 V_{TVT} 或者 $-V_{TVT}$ 时，DOUT 呈高阻态；

为了改善信号的完整性，当发射驱动变为高阻态之后，CA-IF428x 通过一个内部开关将 TERM 连接到 AIO，持续 $34\mu s$ （典型值）。

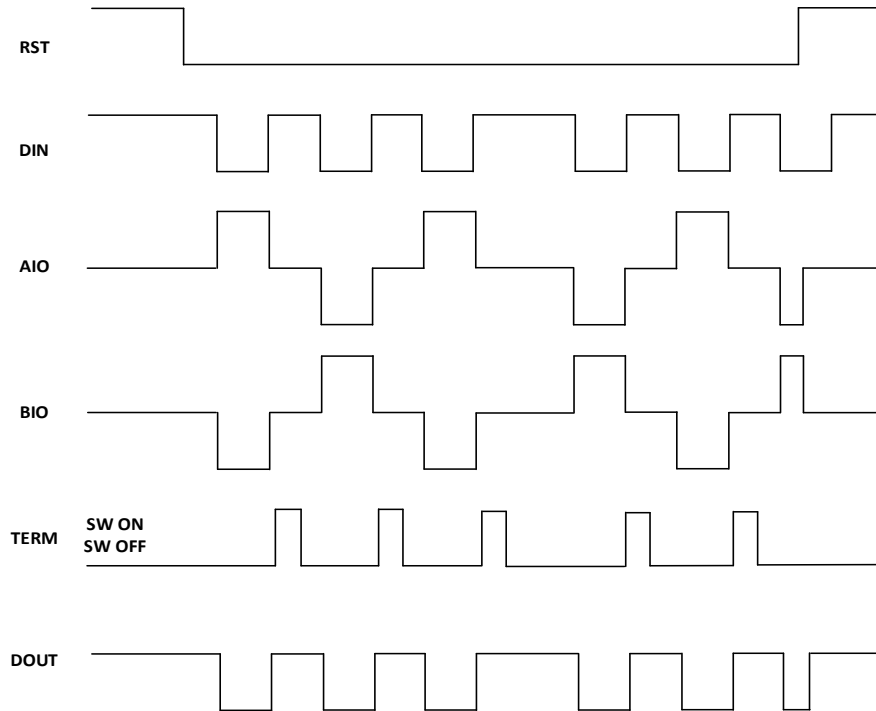


图 10-1 发射端工作示意图

10.3. 动态电缆终端电阻匹配

CA-IF428x 支持最高 200kbps 的家庭总线数据传输。当工作在高速率时候，总线阻抗和电缆终端电阻的失配会影响信号的完整性。CA-IF428x 具有动态的终端电阻以改善长电缆的信号完整性。AIO 和 BIO 之间应加入 $200\Omega\sim 1k\Omega$ 的电阻，以避免在高阻态时的干扰。应用中将 TERM 端和 BIO 端之间加入典型值为 100Ω 的动态终端电阻，当 AIO 和 BIO 端呈现高阻态时，芯片内部的开关连接 AIO 端和 TERM 端，那么 AIO 和 BIO 近似连接起来，避免出现干扰误触发的情况发生。当 DOUT 置低或者 RST 置高时，内部的开关会在延迟 $34\mu s$ （典型值，当 CA-IF4289 的 DTA 管脚悬空时）后关断。连接在 TERM 和 BIO 之间的动态终端电阻值取决于具体的应用，其值推荐在 50Ω 和 240Ω 之间。

此外，CA-IF4289 提供外部电阻以调节动态电缆终端电阻的开关延迟时间。CA-IF4289 的 DTA 端外接 $10k\Omega$ 至 $500k\Omega$ 电阻时，动态终端电阻有效时间为： $t_{DTA} = R_{DTA} / 1K\Omega (\mu s)$ ，即 t_{DTA} 在 $10\mu s$ 至 $500\mu s$ 之间。

当传输速率较低时，可以将 CA-IF4289 的 DTA 外接电阻值增加，以延长终端电阻有效时间 t_{DTA} ，可以有效吸收总线在重载下的残余能量，确保信号的传输完整性。如传输速率在 9.6kbsps 时，DTA 外接电阻 R_{DTA} 取值应在 120k Ω ~200k Ω 。

CA-IF4288 由于无 DTA 引脚，动态终端电阻有效时间固定为典型值 34 μ s。当传输速率较低时，应适当增加 AIO 和 BIO 之间的负载电阻，同时适当增大接收端阈值迟滞窗口，即增加 TVL 电压和降低 TVT 电压，以增强信号传输的抗干扰性能。

10.4. 发射摆率调节

SRA 和 GND 之间的电阻 R_{SRA} 控制发射信号在 AIO 和 BIO 端的摆率。其上升、下降时间同 R_{SRA} 成正比，由如下公式得出：

$$Trise/Tfall = 17 \text{ (pF)} \times R_{SRA} \text{ (}\Omega\text{)}$$

在多数应用中， R_{SRA} 的建议值为 33k Ω ，这样输出端会有 0.56 μ s 的上升和下降时间， R_{SRA} 的取值应在 20k Ω 和 120k Ω 之间。

10.5. 接收端阈值调节

接收端的阈值取决于 TVL 和 TVT 端的电压值。在 TVL 端的电压值设置了总线信号 ($V_{AIO-V_{BIO}}$) 的前沿，在 TVT 端的电压值设置了总线信号 ($V_{AIO-V_{BIO}}$) 的后沿，需要确保 $V_{TVL} > V_{TVT}$ 。

当 $V_{AIO-V_{BIO}}$ 越过 V_{TVL} 或者 $-V_{TVL}$ 时候，DOUT 置低。当 $V_{AIO-V_{BIO}}$ 越过 V_{TVT} 或者 $-V_{TVT}$ 时候，DOUT 呈高阻态，见图 10-2。在逻辑电源和 DOUT 之间连接一个上拉电阻。

CA-IF4289 提供内部的接收器阈值。当 EN_VT 置高时，启用内部阈值，内部阈值的典型值 $TVL=2V$ ， $TVT = 1.5V$ 。将 EN_VT 置低，接收端的阈值将要使用外部阈值，即 TVL 和 TVT 端的电压值。

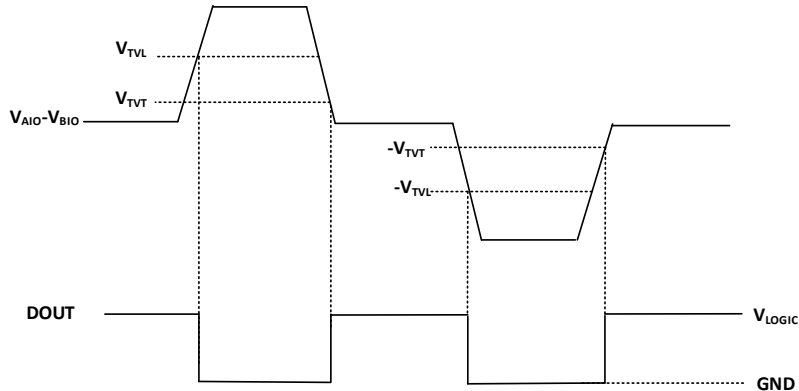


图 10-2 接收端阈值示意图

10.6. RST 功能

CA-IF428x 具有一个总线复位输入，将 RST 置低来使能发射端，将 RST 置高来关闭发射端。RST 也控制着内部动态电缆终端匹配电阻。在驱动输出呈高阻态后，要确保将 RST 置低至少 34 μ s 以使内部开关闭合。在 RST 置高时，内部开关打开。

10.7. 高通滤波器

CA-IF428x 内部接收器包含一个高通滤波器以滤除在 AIO 和 BIO 处的低频电压波动。

CA-IF4289 的第 20 管脚为 HPEN，将 HPEN 接 V_{CC} 来使能芯片内部的接收器输入端的高通滤波器，将 HPEN 接 GND 来关闭内部的高通滤波器。CA-IF4289 芯片内部 HPEN 管脚为高阻态，应用中要确保 HPEN 不能悬空。

CA-IF4288 芯片内部默认使能该高通滤波器，芯片工作后高通滤波器一直使能状态。

10.8. 总线有电/极性检测

CA-IF4289 提供家庭总线是否有电和极性检测功能，支持在多个供电节点系统中的竞争上电检测。当 HP-HN 电压大于 3V（典型值），开漏输出/P $_G_P$ 拉低，指示总线极性为正（HP-HN 为正）。反之，当 $HP-HN < -3V$ （典型值）时，开漏输出/P $_G_N$ 拉低，指示总线极性为负（HP-HN 为负）。当总线没有供电时，开漏输出/P $_G_P$ 和/P $_G_N$ 均由外部上拉电阻上拉至高电平。HP 和 HN 与总线之间串入阻值为 200 Ω 左右的电阻以限制总线浪涌电压。

10.9. 输入超时保护

CA-IF428x 提供低电平 Din 超时保护。当 WT_ENb 置低时，超时保护开启，当 Din 低电平时间超过 21ms 后，总线 AIO/BIO 输出自动变为高阻态。

11. 应用信息

11.1. 浪涌保护

需要一些外部器件来保护高电压瞬态中 CA-IF428x 的总线端口(AIO,BIO,TERM)，见典型应用图 11- 1 和图 11- 2。

11.2. AIO, BIO, TERM, HP, HN 端口的浪涌保护

在浪涌时，AIO, BIO 和 TERM 必须通过外部的器件保护起来。将 5.8V 耐压的 TVS 二极管连接到 AIO 和 GND 以及 BIO 和地之间。在 AIO 和 BIO 与每个 TVS 二极管之间接入一个 4.7Ω 的限流电阻，残余电流会经由 AIO/BIO 端口流入内部的 ESD 钳位二极管到 Vcc 或者 GND。将一个 1μF 陶瓷电容尽量靠近 Vcc 端口接入 GND，在 Vcc 和 GND 之间接入一个 10μF 电容有助于吸收浪涌瞬态的电流和抑制 Vcc 端的电压过冲。HP 和 HN 与总线之间串入阻值为 200Ω 左右的电阻以限制总线浪涌电压。

11.3. PCB 布线考虑

尽管在 H+和 H-总线上不要求匹配，还是要将他们尽量靠近。为了减少信号线上的寄生电容，不要将 H+和 H-的走线以及连接他们的器件跨过接地平面。

为了确保足够的保护，将保护二极管的接地端直接连接到地平面上。使用星型连接所有的接地线，并使得他们尽量靠近接地管脚(pin9)，尽量将外部保护 TVS 二极管及其连接桥靠近家庭总线的输入端口。

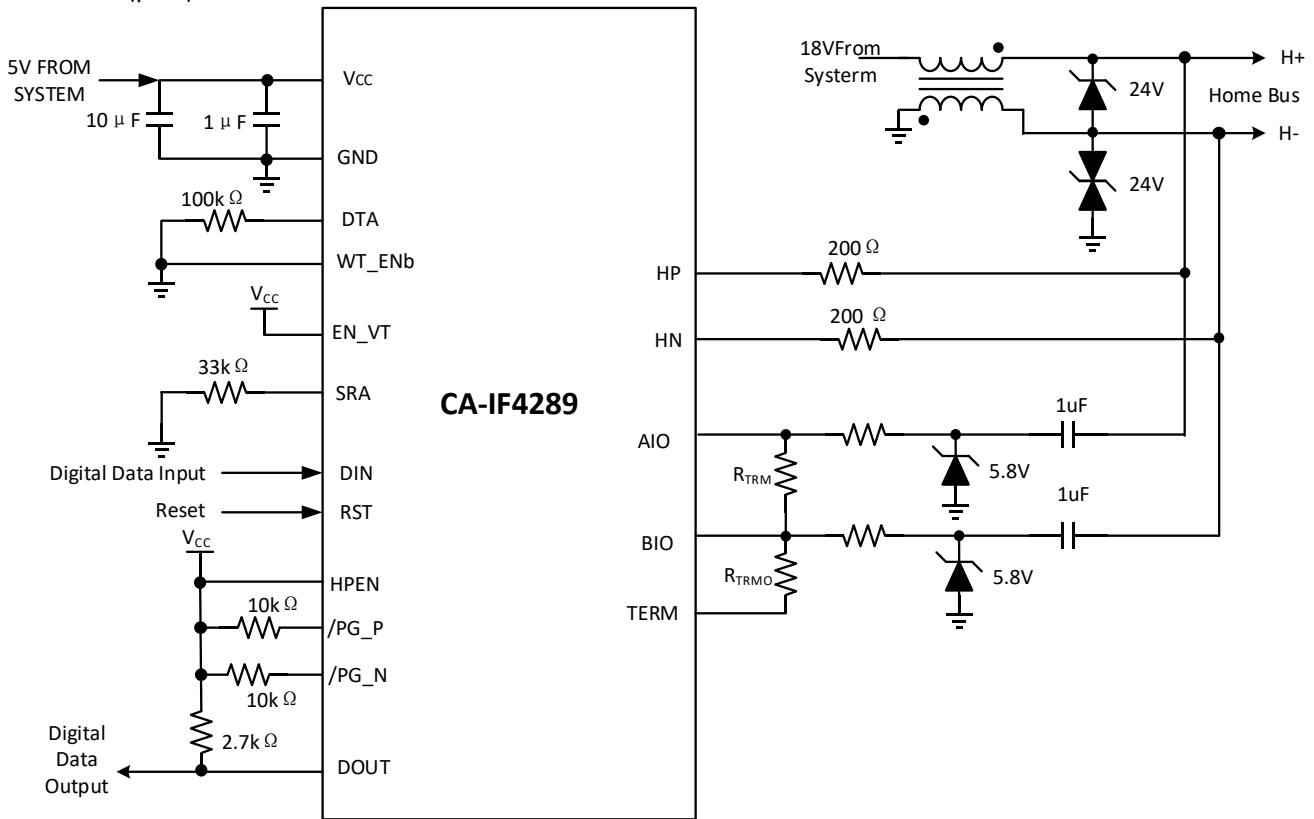


图 11- 1 CA-IF4289 的典型应用图(EN_VT 接 Vcc, AIO-BIO 接收端阈值使用芯片内部电压)

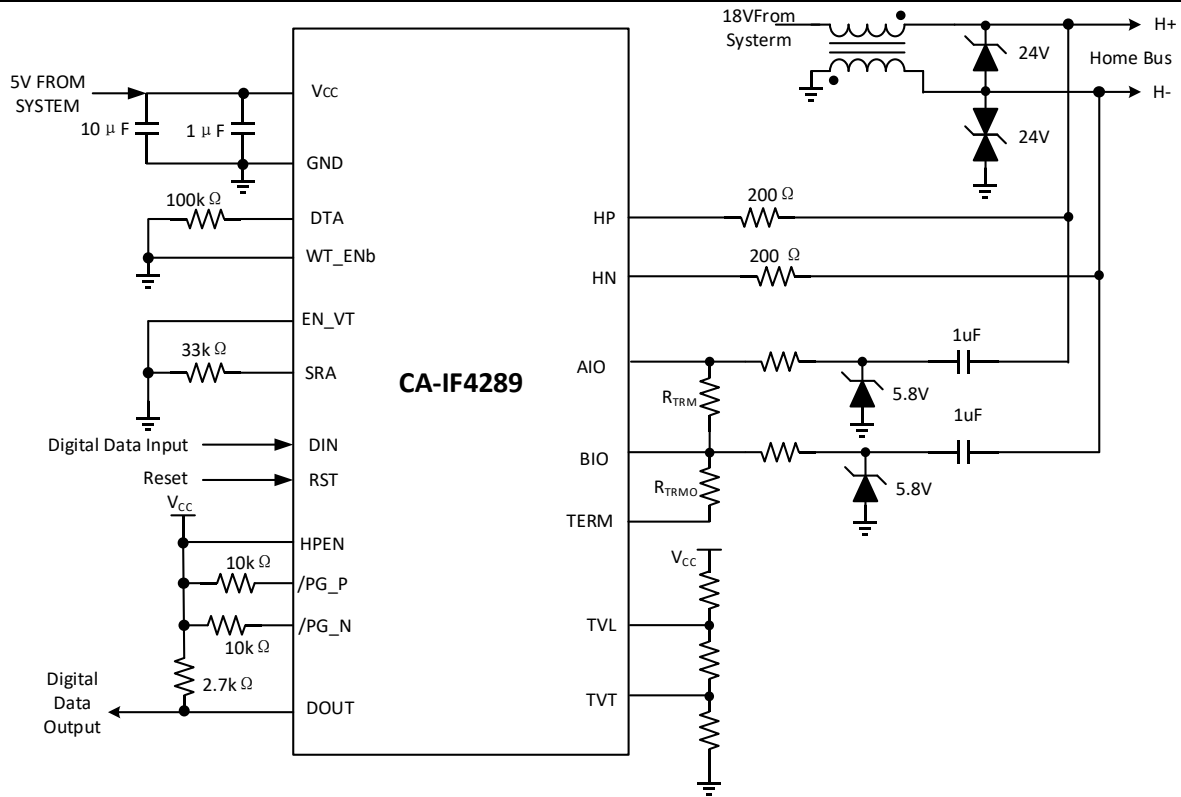


图 11-2 CA-IF4289 的典型应用图(EN_VT 接 GND, AIO-BIO 接收端阈值使用外部 TVL,TVT 电压)

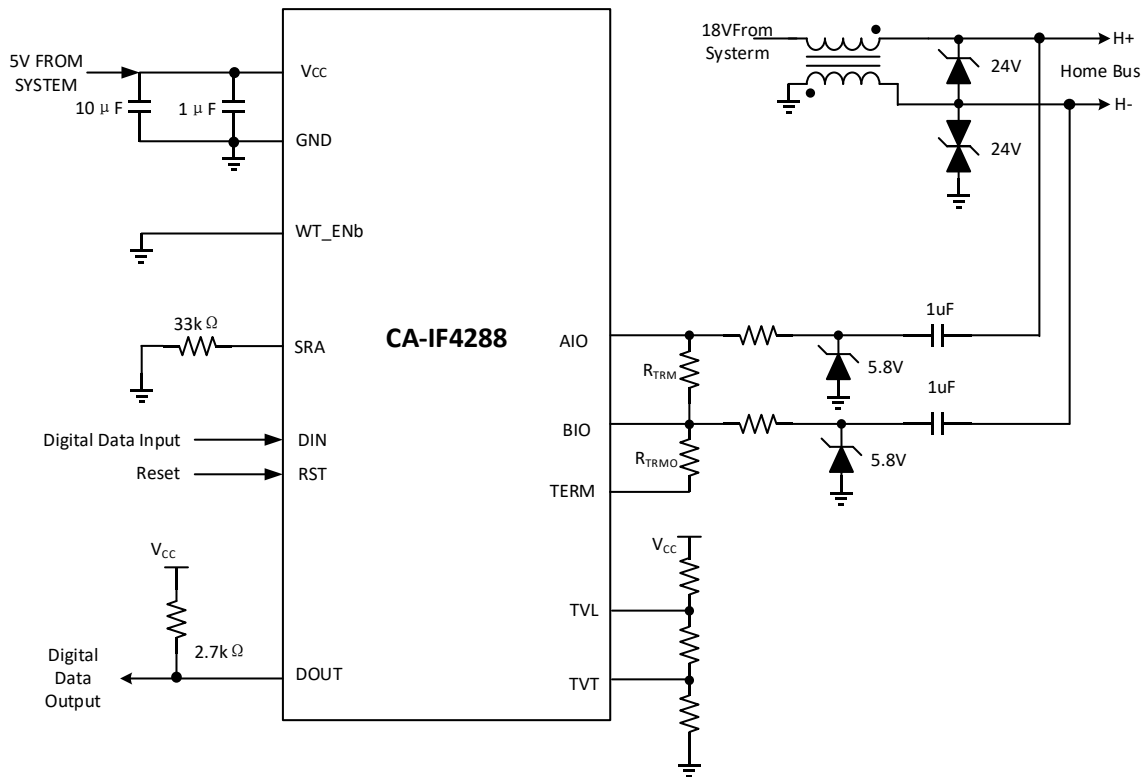
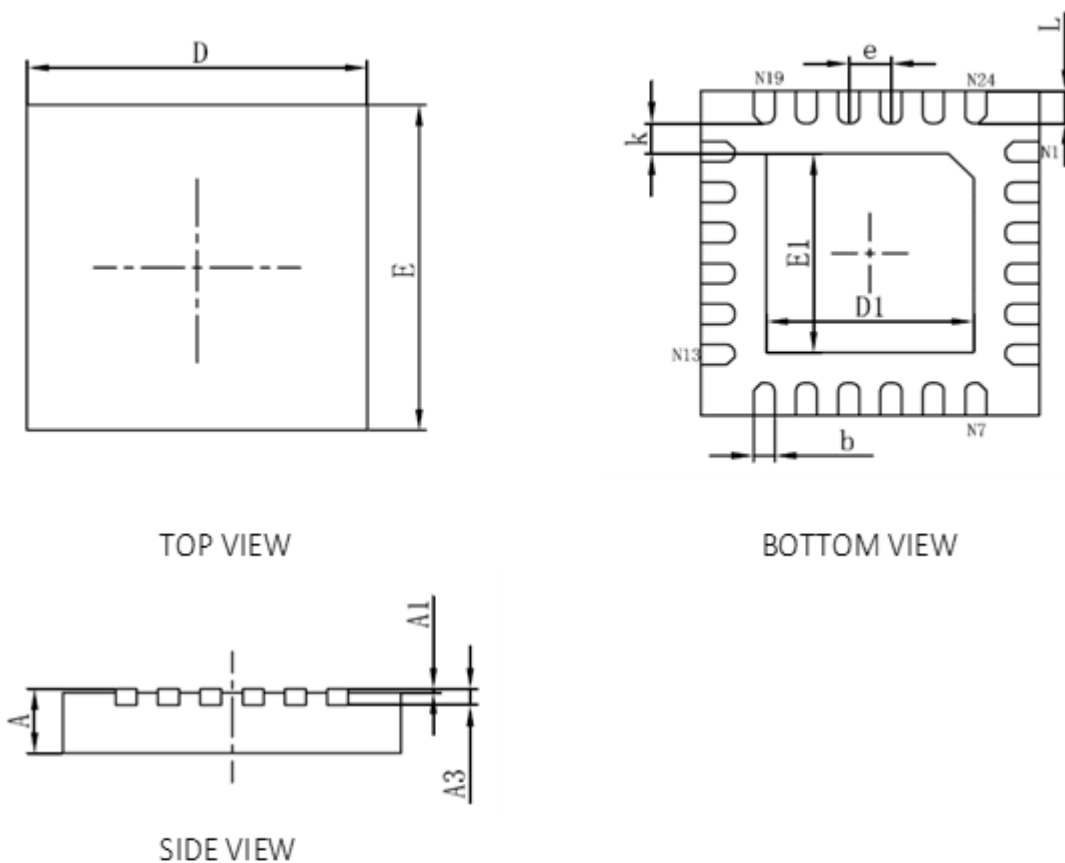


图 11-3 CA-IF4288 供电侧芯片的典型应用图(AIO-BIO 接收端阈值使用外部 TVL,TVT 电压)

12. 封装信息

QFN24 的外形尺寸



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	3.950	4.050	0.156	0.159
E	3.950	4.050	0.156	0.159
E1	2.400	2.500	0.094	0.098
D1	2.400	2.500	0.094	0.098
k	0.200MIN		0.008MIN	
b	0.200	0.300	0.008	0.012
e	0.500TYP.		0.020TYP.	
L	0.350	0.450	0.014	0.018

图 12-1 QFN 封装尺寸图

13. 焊接信息

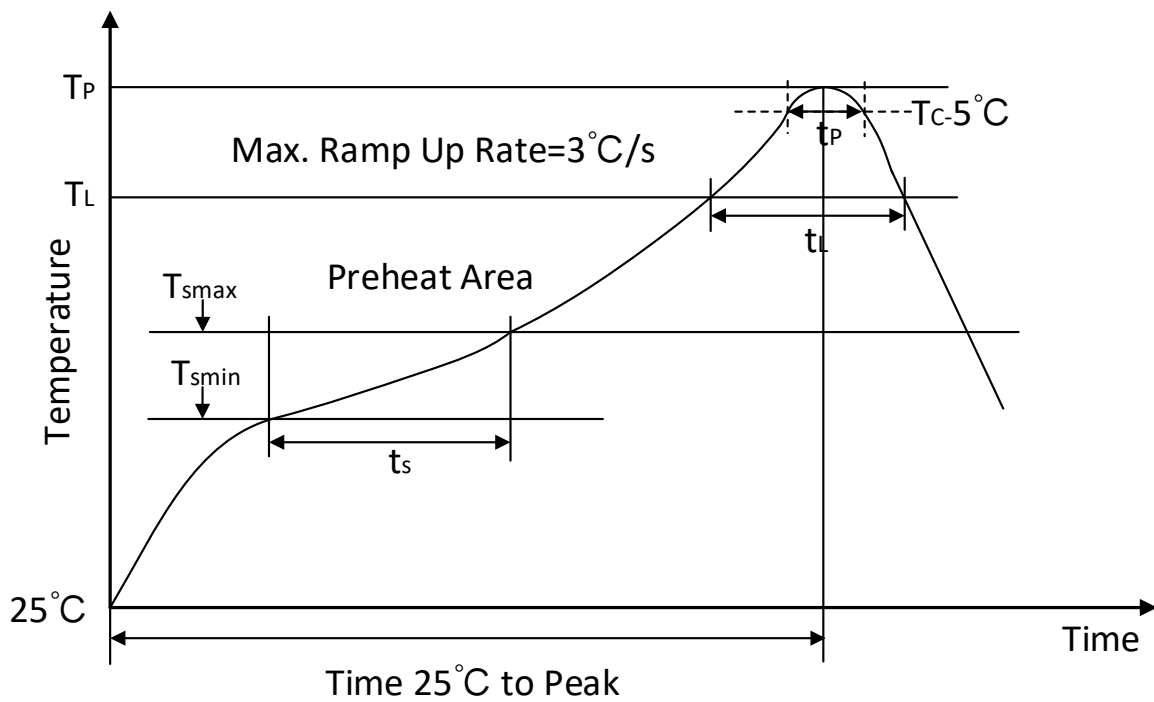
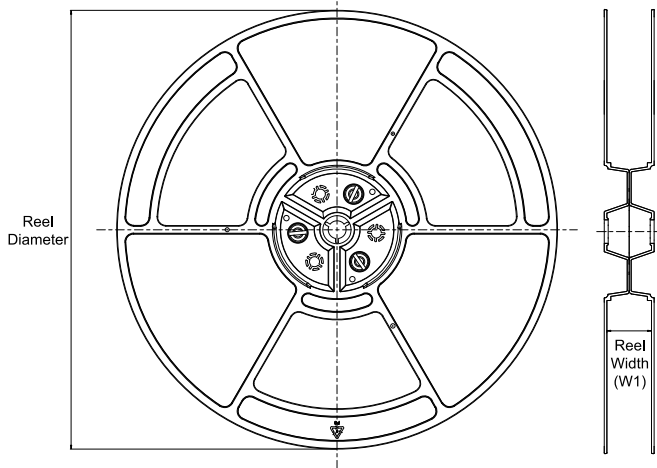


图 13-1 焊接温度曲线

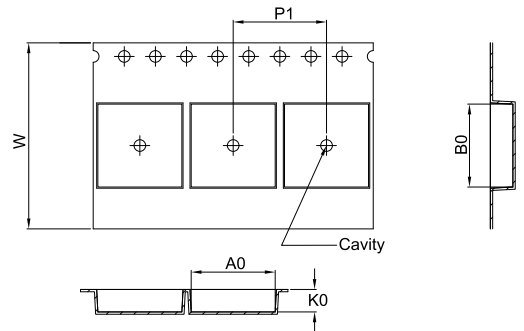
简要说明	无铅焊接
温升速率 ($T_L=217^\circ\text{C}$ 至峰值 T_P)	最大 3°C/s
$T_{smin}=150^\circ\text{C}$ 到 $T_{smax}=200^\circ\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率 (峰值 T_P 至 $T_L=217^\circ\text{C}$)	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

14. 编带信息

REEL DIMENSIONS

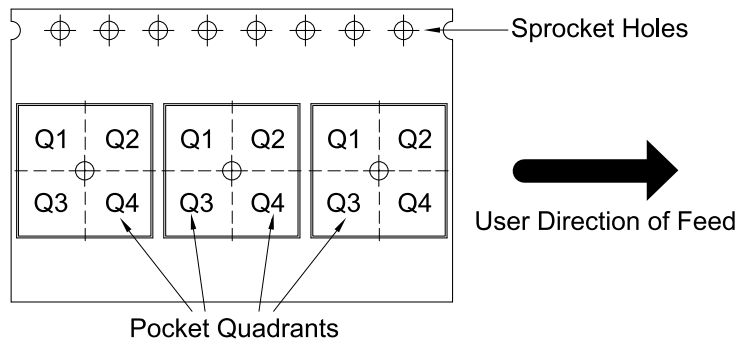


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF4288	QFN	F	24	3000	330	12.4	4.3	4.3	1.1	8.0	12.0	Q1
CA-IF4289	QFN	F	24	3000	330	12.4	4.3	4.3	1.1	8.0	12.0	Q1

15. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>